

DELTSIGMA MODULATOR

Publication number: JP6318872 (A)

Also published as:

Publication date: 1994-11-15

 JP3226657 (B2)

Inventor(s): YAMAMURA TAKESHI +

Applicant(s): ASAHI CHEMICAL MICRO SYST +

Classification:

- international: H03M1/10; H03M3/02; H03M1/10; H03M3/02;
(IPC1-7): H03M1/10; H03M3/02

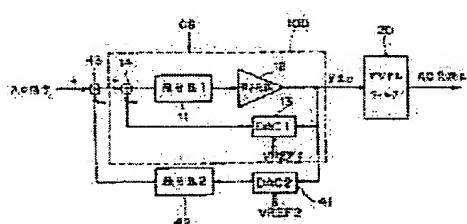
- European:

Application number: JP19930084510 19930412

Priority number(s): JP19930084510 19930412

Abstract of JP 6318872 (A)

PURPOSE: To eliminate simultaneously not only an offset of an input signal but also an offset of the DELTSIGMA modulator by inverting in polarity an output obtained by integrating an output of the DELTSIGMA modulator by an integration device and adding the inverted signal to an input signal of the DELTSIGMA modulator. CONSTITUTION: A circuit section 100 is constituted similarly to a conventional DELTSIGMA modulator and is provided with a 1st integration device 11 integrating an analog input signal, a quantization device 12 quantizing an output of the integration device 11, a 1st D/A converter 13 converting an output of the quantization device 12 into an analog signal by referring to a 1st reference signal VREF1, and a 1st adder 14 adding an output of the D/A converter 13 to the input signal. A 2nd D/A converter 41 converting the output of the quantization device 12 into an analog signal by referring to a 2nd reference signal VREF2 and, a 2nd integration device 42 integrating the output of the converter 41 and a 2nd adder 43 adding the output of the integration device 42 to the input signal are added to the circuit section 100 are added. Thus, the low frequency component of the input signal and the DELTSIGMA modulator is eliminated.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-318872

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.⁵

H 03M 3/02
1/10

識別記号

厅内整理番号
8522-5J

F I

技術表示箇所

審査請求 未請求 請求項の数1 O L (全5頁)

(21)出願番号

特願平5-84510

(22)出願日

平成5年(1993)4月12日

(71)出願人

594021175
旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号

(72)発明者

山村 健
神奈川県厚木市栄町1丁目1番3号 旭化成マイクロシステム株式会社内

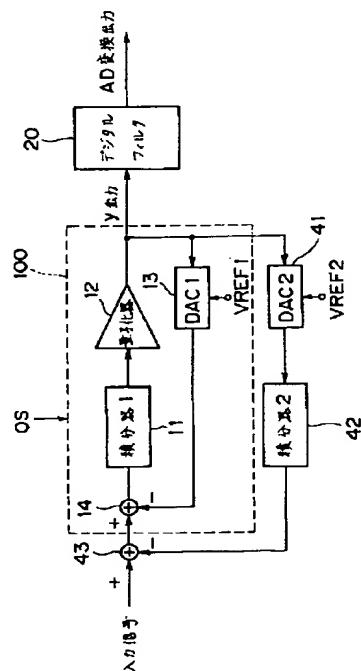
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 $\Delta\Sigma$ モジュレータ

(57)【要約】

【目的】 入力信号のオフセットのみならず、 $\Delta\Sigma$ モジュレータ自身が発生するオフセットも取り除ける $\Delta\Sigma$ モジュレータの実現。

【構成】 この $\Delta\Sigma$ モジュレータは、アナログ入力信号を積分する第1の積分器11と、その積分器の出力を量子化する量子化器(比較器)12と、その量子化器の出力を第1のDA変換器13でDA変換した値を極性を反転して上記アナログ入力信号に加算する第1の加算器14と、上記量子化器12の出力を第2のDA変換器41でDA変換した値を積分する第2の積分器42と、その積分器出力を極性を反転して上記アナログ入力信号に加算する第2の加算器43とを有する。11~14の回路部分100は従来と同様の回路部分である。



【特許請求の範囲】

【請求項1】 アナログ入力信号を積分する第1の積分手段と、

該第1の積分手段の出力を量子化する量子化手段と、該量子化手段の出力を極性を反転して前記アナログ入力信号に加算する第1の加算手段と、

前記量子化手段の出力を積分する第2の積分手段と、該第2の積分手段の出力を極性を反転して前記アナログ入力信号に加算する第2の加算手段とを具備することを特徴とする△Σモジュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はAD（アナログデジタル）変換器に用いられる△Σモジュレータ（デジタルシグマ変調器）に関する。

【0002】

【従来の技術】オーバサンプリング方式の一つである△Σ変調方式でAD変換を行う従来の△Σ型AD変換器の基本構成を図1に示す。△Σモジュレータ10は一般に、アナログ入力信号を積分する積分器、積分器の出力を量子化する量子化器、および量子化器から出力する量子化信号を極性を反転して上記アナログ入力信号に加算する加算器を有する。△Σモジュレータ10から出力す

$$y = x' + OS$$

となる。ただし、ここでは△Σモジュレータ10によってノイズシェーピングされたノイズでの高域の成分は考えていない。

【0006】

【発明が解決しようとする課題】従来の△Σ型AD変換器では、上述のように△Σモジュレータ自身が発生するオフセットがその△Σモジュレータの出力に加算されるという問題があった。

【0007】そこで、本発明の目的は、上述の点に鑑みて、入力信号のオフセットのみならず、△Σモジュレータ自身が発生するオフセットも取り除ける△Σモジュレータを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明は、アナログ入力信号を積分する第1の積分手段と、該第1の積分手段の出力を量子化する量子化手段と、該量子化手段の出力を極性を反転して前記アナログ入力信号に加算する第1の加算手段と、前記量子化手段の出力を積分する第2の積分手段と、該第2の積分手段の出力を極性を反転して前記アナログ入力信号に加算する第2の加算手段とを具備することを特徴とする。

【0009】

【作用】以下に図面を参照して本発明の作用を詳述する。図3は本発明の基本構成を示す。図3において、100は前述の従来の△Σモジュレータ10と同様の構成

る量子化信号はデジタルフィルタ20によりAD変換出力として、上記アナログ入力信号に対応するデジタル信号に変換される。

【0003】一定電源電圧下で動作する△Σ型AD変換器は、絶対値が大きな過大信号入力に対して△Σモジュレータ10の内部の積分器出力である状態変数値が発振（振幅増大現象）を起し、変換の線形性が失われたり、SN比（信号対雑音比）の低下が発生したり、また入力が正常動作範囲に復帰後も発振を継続してしまうことがある。さらにまた、AC（交流）信号をAD変換するためのAD変換器では、できるだけ大きなAC信号入力に対応することが必要という観点からも、入力信号のオフセットを取り除くことが好ましい。

【0004】図2はオフセットを取り除くための従来の回路構成例を示す。この入力信号のオフセットの取り除きは入力信号を△Σモジュレータ10に入る前にハイパスフィルタ30を通することで行っている。この場合には、△Σモジュレータ10の出力（y）は、入力（x）に対してそのオフセット分が取り除かれたもの（x'）と△Σモジュレータ10自身が発生するオフセット（OS）との和、すなわち

【0005】

【数1】

$$\dots (1)$$

の回路部分であり、アナログ入力信号を積分する第1積分器11、第1の積分器11の出力を量子化する量子化器12、量子化器12の出力を第1のリファレンス信号（VREF1）を参照してアナログ信号に変換する第1のDA（デジタルアナログ）変換器13および第1のDA変換器13の出力を上記アナログ入力信号に加算する（極性は負）第1の加算器14を有する。41は量子化器12の出力を第2のリファレンス信号（VREF2）を参照してアナログ信号に変換する第2のDA変換器、42は第2のDA変換器41の出力を積分する第2の積分器、および43は第2の積分器42の出力を上記アナログ入力信号に加算する（極性は負）第2の加算器である。このように、本発明の△Σモジュレータは、上記従来例と同様の回路部分100にDA変換器41、第2の積分器42および第2の加算器43とが追加されて構成される。

【0010】上記基本構成における信号の入出力関係を図4に示す。yは△Σモジュレータからの出力である。OSは△Σモジュレータの入力ノイズでオフセット以外の色々な周波数を含んでいる。ただし、高周波成分は考えない。また積分器において高周波成分の積分値はゼロとなると仮定する。図4から次式（2）が成立する。

【0011】

【数2】

$$x - \frac{1}{s}y + 0s = y$$

$$y \left(1 + \frac{1}{s}\right) = x + 0s$$

$$y = \frac{s}{s+1}x + \frac{s}{s+1}0s$$

【0012】上式(2)において、 $s (= j\omega) \neq 0$ 、つまり低周波成分のとき、

【0013】

【数3】

$$\frac{s}{s+1} \neq 0$$

【0014】となる。

【0015】従って、直流成分に近い信号のとき $y \neq 0$ となる。 x は入力信号(交流)とオフセット、 $0s$ は直流成分が主であるから、上式(2)では x のオフセットと、 $0s$ とが $\neq 0$ となり、 x の信号成分のみが output される。このように、入力信号(x)も低周波成分が除去され、 $\Delta\Sigma$ モジュレータのオフセット($0s$)も同様に低周波成分が除去され、 $\Delta\Sigma$ モジュレータの出力 y は x の信号成分のみとなる。

【0016】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0017】(第1実施例) 図5は本発明の一実施例の $\Delta\Sigma$ モジュレータの回路構成を示す。本例の $\Delta\Sigma$ モジュレータはCMOSプロセスによるLSI(大規模集積回路)として実現され、その各スイッチはMOSトランジスタによるトランスマジゲートでできている。図中のS1, S2は各スイッチに印加される切換信号を表す。本例の $\Delta\Sigma$ モジュレータは、スイッチドキャパシタ回路(以下、SC回路と略称する)による2次の $\Delta\Sigma$ モジュレータ回路部分111~115と、その出力により極性をコントロールされ第2のリファレンス信号(VREF2)を積分するSC回路117付の積分器(118)と、その積分器出力を入力部の信号へ加算(極性は負)するSC回路119から成る。

【0018】SC回路111, 113はそれぞれ抵抗器と等価であり、演算增幅器112, 114とキャパシタC5, C8とで図3の第1の積分器11を構成する。115は図3の量子化器12を構成する比較器であり、入力クロック信号をノードa点の積分器出力でゲートして“1”, “0”的2値の量子化信号を発生する。SC回路116は図3の第1のDA変換器13と第1の加算器14に相当する。SC回路117, 演算增幅器118およびキャパシタC10とで図3の第2のDA変換器41と第2の積分器42を構成する。SC回路119は図3の第2の加算器43に相当する。

【0019】図6は図5の回路の信号のタイミングと波

形を示すタイミングチャートである。

【0020】本例の実験例では、 $\Delta\Sigma$ モジュレータの出力周波数およびSC回路のスイッチの動作周波数をそれぞれ512kHz、デジタルフィルタ出力時の出力レートを8kHzとし、入力および $\Delta\Sigma$ モジュレータの低周波数16Hzをカットオフとして減衰させるように構成した。この結果、デジタルフィルタ出力が14ビット出力である場合には、オフセットが検出不能となるところまで、オフセットを低減させることができることが確認できた。

【0021】(第2実施例) 図7は第2の積分器出力を $\Delta\Sigma$ モジュレータの入力部の信号に加算する(極性は負)別の構成例を示す。本例では、アナログ入力信号を $\Delta\Sigma$ モジュレータに導入するためのSC回路111のキャパシタC1の左端を、入力信号と第2積分器出力間で交互に接続するようになっており、これにより、(入力信号-第2積分器出力) $\times C_1$ なる電荷を $\Delta\Sigma$ モジュレータの第1積分器に入力する。

【0022】本例は、図5の第1実施例に比べ、SC回路119を構成しているキャパシタC4とこれに接続されたスイッチを合計4個削減することができる利点がある。

【0023】(その他の実施態様) 上述した本発明の実施例において、 $\Delta\Sigma$ モジュレータや積分器の次数を減らすことも可能であり、各回路ブロックの一部や全部をSC回路でない回路、例えば抵抗器やキャパシタなどの受動部品で組み、時間軸連続な系とすることも可能である。また、上述した本発明の実施例では電圧を入力および $\Delta\Sigma$ モジュレータ内の各状態変数としているが、電流や電荷を信号表現媒体とすることも可能である。また、参照信号(電圧)のVREF1およびVREF2はそれぞれ異なる値とすることも、共通の値とすることもできる。

【0024】

【発明の効果】以上説明したように、本発明によれば、 $\Delta\Sigma$ モジュレータの出力を積分器で積分した出力を極性を反転して $\Delta\Sigma$ モジュレータの入力部の入力信号へ加算するようにしたので、入力信号のオフセットのみならず $\Delta\Sigma$ モジュレータのオフセットも同時に取り除くことができるという効果が得られる。

【図面の簡単な説明】

【図1】従来例の $\Delta\Sigma$ 型AD変換器の構成を示すブロック図である。

【図2】他の従来例の $\Delta\Sigma$ 型AD変換器の構成を示すブロック図である。

【図3】本発明の基本構成を示すブロック図である。

【図4】図3の信号の関係を示す図である。

【図5】本発明の一実施例の回路構成を示す回路図である。

【図6】図5の信号のタイミングと波形を示すタイミングチャートである。

【図7】本発明の他の実施例の回路構成を示す回路図である。

【符号の説明】

10 $\Delta\Sigma$ モジュレータ

11 第1の積分器

12 量子化器

13 第1のDA変換器

14 第1の加算器

20 デジタルフィルタ

41 第2のDA変換器

42 第2の積分器

43 第2の加算器

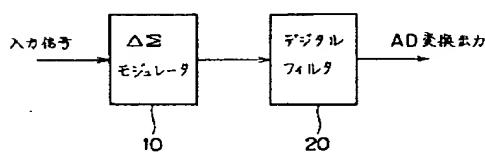
100 従来と同様な $\Delta\Sigma$ モジュレータ回路部分

111, 113, 116, 117, 119 スイッチドキャパシタ回路

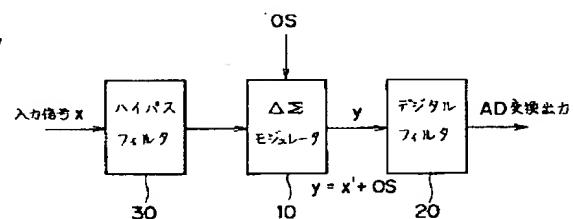
112, 114, 118 演算増幅器

115 比較器

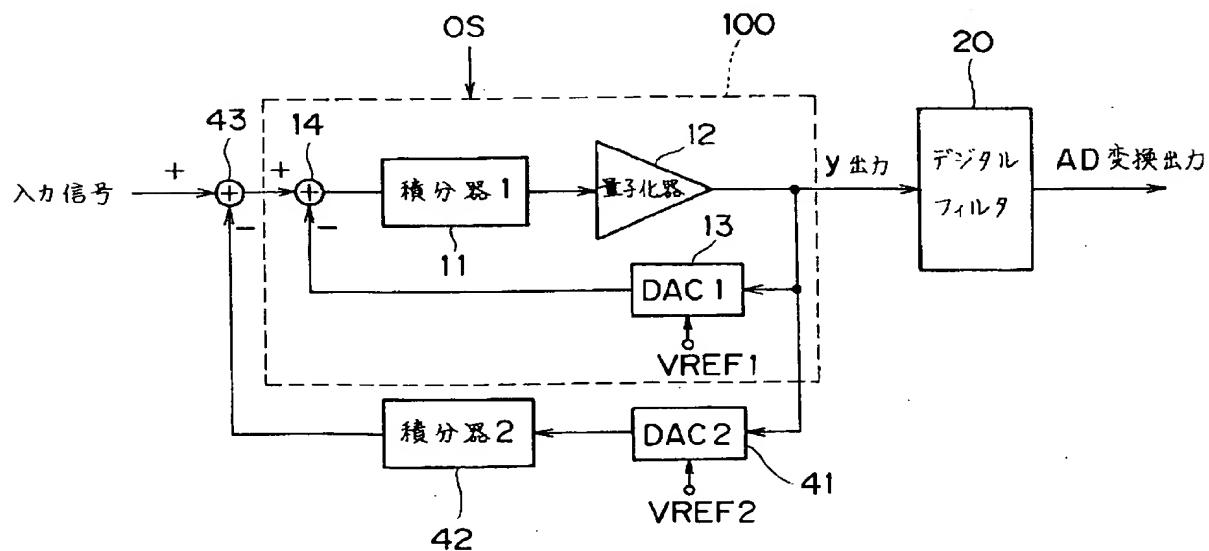
【図1】



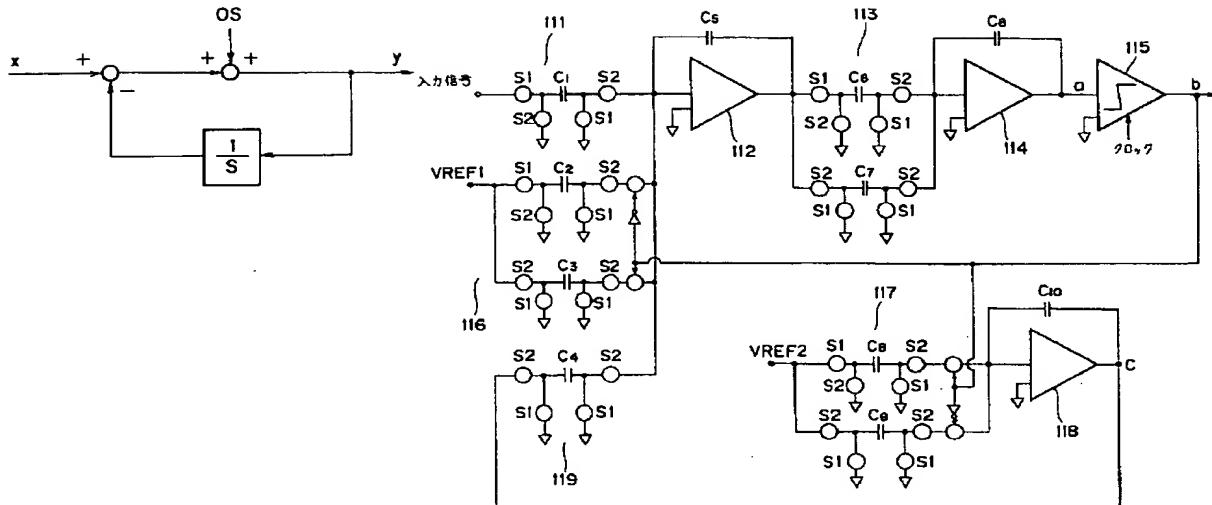
【図2】



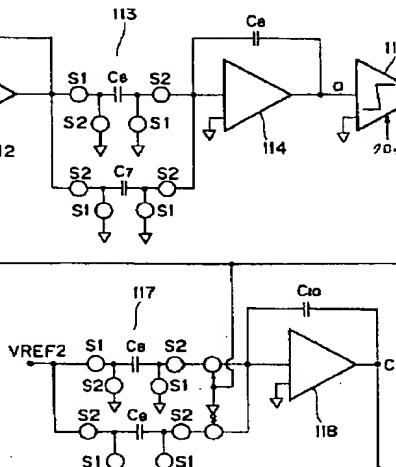
【図3】



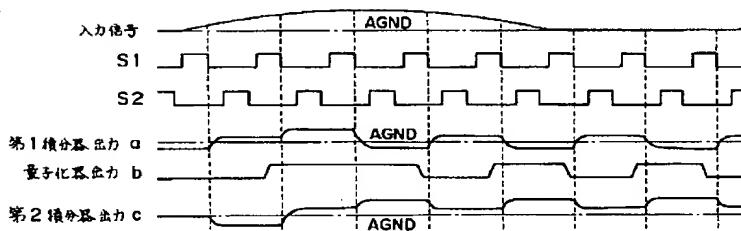
【図4】



【図5】



【図6】



【図7】

